

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2004-045879

(43)Date of publication of application : 12.02.2004

(51)Int.Cl.

G02F 1/1368
G02F 1/13
G09F 9/30
G09G 3/20
G09G 3/36
H01L 27/146
H04N 5/335
H04N 5/66

(21)Application number : 2002-204559

(71)Applicant : TOSHIBA MATSUSHITA DISPLAY
TECHNOLOGY CO LTD

(22)Date of filing : 12.07.2002

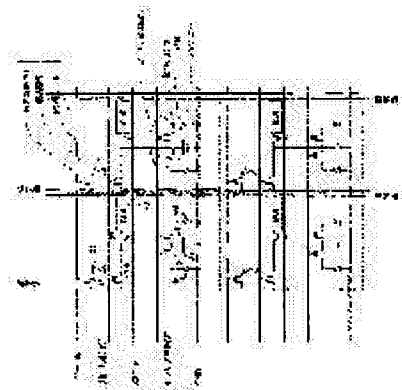
(72)Inventor : HAYASHI HIROYOSHI
NAKAMURA TAKU

(54) DISPLAY APPARATUS

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a display apparatus which imports an image with high resolution and high accuracy.

SOLUTION: The display apparatus is equipped with a pixel array part 1 where signal lines and scanning lines are laid, a signal line driving circuit 2 to drive the signal lines, a scanning line driving circuit 3 to drive the scanning lines, a detection circuit 41 and an output circuit 4 to import and output an image, and a sensor controlling circuit 5 to control the sensor for importing an image. As each pixel is provided with a plurality of sensors 12a, 12b to import an image, the image are imported with high resolution. Because the image data imported by the sensors 12a, 12b is stored in a buffer 13, the quantity of light accepted by photodiodes D1, D2 is accurately detected. Further, as an array substrate 21, a counter substrate 24 and a backlight 23 are arranged in this order, the intensity of the reflected light from a paper surface 22 is accurately detected by the photodiodes D1, D2.



(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号
特開2004-45879
(P2004-45879A)

(43) 公開日 平成16年2月12日(2004.2.12)

(51) Int.Cl. ⁷	F I	テーマコード (参考)
GO2F 1/1368	GO2F 1/1368	2H088
GO2F 1/13	GO2F 1/13 505	2H092
GO9F 9/30	GO9F 9/30 338	4M118
GO9G 3/20	GO9G 3/20 680G	5C006
GO9G 3/36	GO9G 3/20 680H	5C024
審査請求 未請求 請求項の数 11 O L (全 15 頁) 最終頁に続く		

(21) 出願番号	特願2002-204559 (P2002-204559)	(71) 出願人	302020207 東芝松下ディスプレイテクノロジー株式会 社 東京都港区港南4-1-8
(22) 出願日	平成14年7月12日 (2002.7.12)	(74) 代理人	100075812 弁理士 吉武 賢次
		(74) 代理人	100088889 弁理士 橋谷 英俊
		(74) 代理人	100082991 弁理士 佐藤 泰和
		(74) 代理人	100096921 弁理士 吉元 弘
		(74) 代理人	100103263 弁理士 川崎 康
		最終頁に続く	

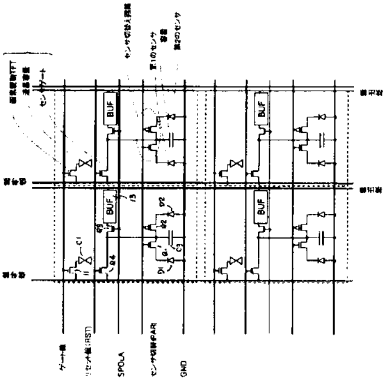
(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】 高解像度で高精度の画像取込みが可能な表示装置を提供する。

【解決手段】 本発明に係る表示装置は、信号線及び走直線が列設される画素アレイ部1と、信号線を駆動する信号線駆動回路2と、走直線を駆動する走直線駆動回路3と、画像を取り込んで出力する検出回路4 1 & 出力回路4 と、画像取込み用のセンサを制御するセンサ制御回路5 とを備えている。各画素ごとに複数のセンサ1 2 a、1 2 bを設けて画像取込みを行うため、高解像度で画像取込みを行うことができる。また、センサ1 2 a、1 2 bで取り込んだ画像データをバッファ1 3に格納するため、フォトダイオードD 1、D 2で受光した光量を正確に検出できる。さらに、アレイ基板2 1、対向基板2 4及びバックライト2 3の順に配置するため、紙面2 2からの反射光の強弱をフォトダイオードD 1、D 2にて精度よく検出できる。

【選択図】 図3



【特許請求の範囲】

【請求項1】

縦横に列設される信号線及び走直線の各交点付近に形成される表示素子と、
前記表示素子のそれぞれに対応して複数個ずつ設けられ、それぞれが異なる範囲の入射光を受光して受光量に応じた電荷を蓄積するセンサと、を備え、
前記センサは、
受光量に応じた電気信号を出力する光電変換部と、
前記電気信号に応じた電荷を蓄積する電荷蓄積部と、
前記電荷蓄積部に初期電荷を蓄積させるか否かを切り替える初期化制御部と、前記電荷蓄積部の蓄積電荷に応じた信号を出力するか否かを切り替える出力制御部と、を有すること
を特徴とする表示装置。 10

【請求項2】

前記初期化制御部は、前記センサの動作前に、予め前記電荷蓄積部に初期電荷を蓄積させる、
前記光電変換部は、前記電荷蓄積部に対して、前記初期電荷から前記光電変換部での受光量に応じた電荷分だけ放電させることを特徴とする請求項1に記載の表示装置。

【請求項3】

前記初期化制御部は、前記センサの動作前に、予め前記電荷蓄積部に初期電荷を蓄積させる、
前記光電変換部は、前記電荷蓄積部に対して、前記初期電荷から前記光電変換部での受光量に応じた電荷分だけ充電させることを特徴とする請求項1に記載の表示装置。 20

【請求項4】

縦横に列設される信号線及び走直線の各交点付近に形成される表示素子と、
前記表示素子のそれぞれに対応して複数個ずつ設けられ、それぞれが異なる範囲の入射光を受光して受光量に応じた電荷を蓄積するセンサと、を備え、
前記センサは、
受光量に応じた電気信号を出力する光電変換部と、
前記電気信号に応じた電荷を蓄積する電荷蓄積部と、
前記電荷蓄積部の蓄積電荷を所定量ずつ継続して放電させる放電制御部と、
前記電荷蓄積部の蓄積電荷に応じた信号を出力するか否かを切り替える出力制御部と、を
有し、
前記光電変換部は、前記電荷蓄積部に対して、前記初期電荷から前記光電変換部での受光量に応じた電荷部だけ充電または放電させることを特徴とする表示装置。

【請求項5】

縦横に列設される信号線及び走直線の各交点付近に形成される表示素子と、
前記表示素子のそれぞれに対応して複数個ずつ設けられ、それぞれが異なる範囲の入射光を受光して受光量に応じた電荷を蓄積するセンサと、を備え、
前記センサは、
受光量に応じた電気信号を出力する、直列接続された複数の光電変換部と、
前記電気信号に応じた電荷を蓄積する電荷蓄積部と、
前記電荷蓄積部に初期電荷を蓄積させるか否かを切り替える初期化制御部と、前記電荷蓄積部の蓄積電荷に応じた信号を出力するか否かを切り替える出力制御部と、を有すること
を特徴とする表示装置。 40

【請求項6】

縦横に列設される信号線及び走直線の各交点付近に形成される表示画面を構成する表示素子と、
前記表示画面内に設けられるセンサと、
前記センサの出力信号をA/D変換するA/D変換器と、を備え、
前記A/D変換部は、前記信号線及び走直線と、前記表示素子と、前記センサとが形成される絶縁基板の額縁部分に形成されることを特徴とする表示装置。 50

【請求項 7】

前記 A/D 変換器は、
前記電荷蓄積部の蓄積電荷に応じた信号を供給する検出線上に直列接続される第 1 トランジスタ、キャパシタ、アンプ、第 2 トランジスタ、及びシフトレジスタと、
前記第 1 トランジスタと前記キャパシタとの接続経路の電圧を所定電圧に設定するか否かを切り替える第 3 トランジスタと、を有することを特徴とする請求項 6 に記載の表示装置

【請求項 8】

前記 A/D 変換器は、前記第 3 トランジスタをオンして前記キャパシタに初期電荷を蓄積した後、前記第 1 トランジスタをオンし、前記アンプの入力電圧が前記アンプの動作しき
い値より高いか否かにより A/D 変換を行うことを特徴とする請求項 7 に記載の表示装置

10

【請求項 9】

前記アンプは、直列接続されたキャパシタ及びインバータからなる反転部を複数縦続接続して構成されることを特徴とする請求項 7 または 8 に記載の表示装置。

【請求項 10】

複数の前記表示素子ごとに設けられ、これら複数の表示素子に対応する前記センサの出力信号のうちいずれかが一つを選択可能な出力選択部を備え、
前記 A/D 変換器は、前記出力選択部のそれぞれごとに設けられ、対応する前記出力選択部の出力を A/D 変換することを特徴とする請求項 6 及至 9 のいずれかに記載の表示装置

20

【請求項 11】

前記 A/D 変換回路は、素子特性補償手段を有したアンプを複数段縦続接続して構成される感度向上手段を備えることを特徴とする請求項 6 に記載の表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、画像取込み機能を備えた表示装置に関する。

【0002】

【従来の技術】

液晶表示装置は、信号線、走査線及び画素 TFD が列設されたアレイ基板と、信号線及び走査線を駆動する駆動回路とを備えている。最近の集積回路技術の進歩発展により、駆動回路の一部をアレイ基板上に形成するプロセス技術が実用化されている。これにより、液晶表示装置全体を軽薄短小化することができ、携帯電話やノート型コンピュータなどの各種の携帯機器の表示装置として幅広く利用されている。

30

【0003】

ところで、アレイ基板上に、画像取込みを行う密着型エリアセンサを配置した表示装置が提案されている（特開 2001-292276 公報、特開 2001-339640 公報を参照）。

【0004】

【発明が解決しようとする課題】

しかしながら、この種の従来の表示装置は、画素ごとにフォトダイオードを 1 個ずつ設けており、スキャナの解像度が低いため、画像は粗く、実用性に乏しい。

40

【0005】

また、液晶表示装置用の駆動 TFD として広く用いられているポリシリコン TFD は、電気的特性を均一化させるのが技術的に難しく、センサ出力を高精度に A/D 変換するのが困難である。

【0006】

また、画像取込みの対象である紙面とセンサとの間の距離が、ガラス厚 0.7 mm + 光学フィルム厚 0.4 mm の和 1.1 mm であるため、紙面での拡散光が隣接センサに入射し

50

てしまい、ノイズの原因になる。

【0007】

本発明は、このような点に鑑みてなされたものであり、その目的は、高解像度で高精度の画像取込みが可能な表示装置を提供することにある。

【0008】

【課題を解決するための手段】

上述した課題を解決するために、本発明は、縦横に列設される信号線及び走直線の各交点付近に形成される表示素子と、前記表示素子のそれぞれに対応して複数個ずつ設けられ、それぞれが異なる範囲の入射光を受光して受光量に応じた電荷を蓄積するセンサと、を構成し、前記センサは、受光量に応じた電気信号を出力する光電変換部と、前記電気信号に応じた電荷を蓄積する電荷蓄積部と、前記電荷蓄積部に初期電荷を蓄積させるか否かを切り替える初期化制御部と、前記電荷蓄積部の蓄積電荷に応じた信号を出力するか否かを切り替える出力制御部と、を有する。

【0009】

【発明の実施の形態】

以下、本発明に係る表示装置について、図面を参照しながら具体的に説明する。

【0010】

（第1の実施形態）

図1は本発明に係る表示装置の第1の実施形態の概略構成図であり、アレイ基板上の構成を示している。図1の表示装置は、信号線及び走直線が列設される画素アレイ部1と、信号線を駆動する信号線駆動回路2と、走直線を駆動する走直線駆動回路3と、画像を取り込んで出力する検出回路&出力回路4と、画像取込み用のセンサを制御するセンサ制御回路5とを備えている。

【0011】

図2は画素アレイ部1の一部を詳細に示したブロック図である。図2の画素アレイ部1は、縦横に列設される信号線及び走直線の各交点付近に形成される画素TFT11と、画素TFT11の一端とCS線との間に接続される液晶容量C1及び補助容量C2と、各画素TFT11ごとに2個ずつ設けられる画像取込み用のセンサ12a、12bとを有する。センサ12a、12bは、不図示の電源線及び制御線に接続されている。

【0012】

図3は図2の一部を詳細に示した回路図である。図3に示すように、センサ12a、12bはそれぞれフォトダイオードD1、D2とセンサ切替用トランジスタQ1、Q2とを有する。フォトダイオードD1、D2は、受光した光の光量に応じた電気信号を出力する。センサ切替用トランジスタQ1、Q2は、1画素内の複数のフォトダイオードD1、D2のいずれか一つを交互に選択する。

【0013】

各画素は、2つのセンサ12a、12bと、同一画素内の2つのセンサ12a、12bで共用されるキャパシタC3と、キャパシタC3の蓄積電荷に応じた2値データを格納するバッファ13と、バッファ13への書き込み制御を行うトランジスタQ3と、バッファ13及びキャパシタC3を初期化するリセット用トランジスタQ4とを有する。

【0014】

バッファ13は、スタティックRAM（SRAM）で構成され、例えば、図4に示すように、直列接続された2つのインバータIV1、IV2と、後段のインバータIV2の出力端子と前段のインバータIV1の入力端子との間に配置されるトランジスタQ5と、後段のインバータの出力端子に接続される出力用トランジスタQ6とを有する。

【0015】

信号SPOLEBがハイレベルのときに、トランジスタQ5はオンし、2つのインバータIV1、IV2は保持動作を行う。信号OUTiがハイレベルのときに、保持しているデータが検出線に出力される。

【0016】

10

20

30

40

50

本実施形態の表示装置は、通常の表示動作を行うこともできるし、スキャナと同様の画像取込みを行うこともできる。通常の表示動作を行う場合は、トランジスタQ3はオフ状態に設定され、バッファ13には有効なデータは格納されない。この場合、信号線には、信号線駆動回路2からの信号線電圧が供給され、この信号線電圧に応じた表示が行われる。

【0017】

一方、画像取込みを行う場合は、図5に示すようにアレイ基板21の上面側に画像取込み対象物（例えば、紙面）22を配置し、バックライト23からの光を対向基板24とアレイ基板21を介して紙面22に照射する。紙面22で反射された光はアレイ基板21上のセンサ12a、12bで受光され、画像取込みが行われる。取り込んだ画像データは、バッファ13に格納された後、検出線を介して不図示のCPUに送られる。このCPUは、本実施形態の表示装置から出力されるデジタル信号を受けて、データの並び替えやデータ中のノイズの除去などの演算処理を行う。なお、CPUは一つの半導体チップで構成してもよいし、複数の半導体チップで構成してもよい。

【0018】

図6は画像取込み時の動作タイミング図である。まず、センサ12a、12b信号PARがハイレベルであるため、1画素内の左側のトランジスタが選択される。

【0019】

次に、図6の時刻t1～t2では、画素アレイ部1を1行ずつ順に駆動し、全画素を同一色（例えば白色）に設定する。

【0020】

次に、時刻t3では、信号RST、SPOLA、SPOLBをいずれもハイレベルに設定して、トランジスタQ3、Q4、Q5をいずれもオンさせる。これにより、バッファ13とキャパシタC3に初期値が設定される。

【0021】

信号RSTがローレベルになると（時刻t4）、センサ12a、12bは画像取り込みを開始する。紙面22からの反射光がセンサ12a、12b内のフォトダイオードD1、D2で受光されると、キャパシタC3に蓄積された電荷がフォトダイオードD1、D2を通過して接地端子GNDに流れる。すなわち、リーク電流が流れる。これにより、キャパシタC3の蓄積電荷が減少する。

【0022】

時刻t5になると、信号SPOLAがハイレベルになり、キャパシタC3の蓄積電荷に応じた2値データがバッファ13に格納される。

【0023】

その後、時刻t6になると、信号SPOLBがハイレベルになり、バッファ13が保持動作を開始する。その後、時刻t7になると、バッファ13に格納されたデータが各画素ごとに順に検出線に供給されて不図示のCPUに送られる。

【0024】

図6において、各画素ごとにバッファ13を設ける理由は以下の通りである。キャパシタC3の蓄積電荷は、センサ12a、12b内のフォトダイオードD1、D2を流れる電流によりリークする以外に、画素内のTFTを流れる電流によってもリークする。このため、時間がたつにつれて、キャパシタC3の蓄積電荷は少なくなり、キャパシタC3の両端電圧も低下してしまう。このため、各画素ごとにバッファ13を設け、キャパシタC3の蓄積電荷がリークする前にバッファ13に転送すれば、キャパシタC3のリークによる影響を受けずに画像取込みを行うことができる。

【0025】

なお、バッファ13としてSRAMを用いる理由は、SRAMは数十万ルクスの光が照射されても、論理反転などの誤動作を起こすおそれがないためである。

【0026】

時刻t8以降は、センサ切替信号PARがローレベルになり、センサ12a、12bを切り替えて画像取込みを行う。

10

20

30

40

50

【0027】

本実施形態のアレイ基板21上に形成される各構成部分は、 n チャネルTFTとPチャネルTFTを用いて形成される。

【0028】

図7は n チャネルTFTの製造工程図、図8はPチャネルTFTの製造工程図である。まず、ガラス基板31上にSiNxやSiOx等からなるアンダーコート層をCVD法により形成する。アンダーコート層を形成する理由は、ガラス基板31上に形成される素子に不純物が拡散しないようにするためである。

【0029】

次に、PECVD法やスパッタリング法等により、ガラス基板31上に非晶質シリコン膜を形成した後、非晶質シリコン膜にレーザを照射して結晶化させ、多結晶シリコン膜32を形成する。

10

【0030】

次に、多結晶シリコン膜32をパターニングした後、PECVD法やECR-CVD法等で形成したSiOx膜からなる第1絶縁層33を形成する。そして、多結晶シリコン膜32の所定箇所に低濃度のボロンを注入する(図7(a)、図8(a))。

【0031】

次に、レジスト等34をマスクとして、所定箇所にリンをイオン注入する(図7(b)、図8(b))。次に、レジスト等34をマスクとして、 n チャネルTFTの形成箇所にボロンをイオン注入する(図7(c))。

20

【0032】

次に、Mo-TaやMo-W等の第1メタルを成膜してパターニングし、ゲート電極35を形成する。次に、レジスト等34をマスクとして、イオン注入法を用いて、 n チャネルTFTの形成箇所にリンイオンを注入し(図7(d))、PチャネルTFTの形成箇所にボロンイオンを注入する(図8(c))。

【0033】

次に、レジスト等34をマスクとして、PチャネルTFTの形成箇所に低濃度リンをイオン注入する(図8(d))。

【0034】

次に、SiOxからなる第2絶縁層36を形成した後、電極を形成するためのコンタクトホールを開口した後、第2メタル37を成膜してソース・ドレイン電極をパターニングする(図7(e)、図8(e))。最後に、パッシベーション膜としてSiN膜を成膜して n チャネルTFTとPチャネルTFTが完成する。

30

【0035】

図2に示したセンサ12a、12b内のフォトダイオードD1、D2は、 P^+ 層、 P^- 層、 n^- 層及び n^+ 層からなるPIN構造にするのが望ましい。PIN構造は、空乏層が広く、光-電流変換効率がよいためである。

【0036】

図9はPIN構造のフォトダイオードD1、D2の製造工程図である。まず、ガラス基板31上に第1絶縁層33を形成した後、その上面に低濃度のボロンをイオン注入して P^- 層を形成する(図9(a))。

40

【0037】

次に、レジスト等34をマスクとしてリンをイオン注入し、第1絶縁層33の一部に n^+ 層を形成する(図9(b))。次に、レジスト等34をマスクとしてボロンをイオン注入し、第1絶縁層33の一部に P^+ 層を形成する(図9(c))。

【0038】

次に、ゲート電極35となる第1メタルを形成した後、レジスト等34をマスクとして低濃度リンをイオン注入する(図9(d))。次に、第2絶縁層36を形成してコンタクトホールを開け、第2メタル37を所定形状に形成する(図9(e))。

【0039】

50

本実施形態の表示装置は、図5に示したように、アレイ基板21とバックライト23との間に対向基板24を配置している。その理由は、仮に図10に示すように対向基板24とバックライト23との間にアレイ基板21を配置すると、アレイ基板21上に形成されたすべての素子がバックライト23からの光を直接受けるとともに、紙面22からの反射光が弱くなるため、反射光の強弱を精度よく検出できない。これに対して、本実施形態の場合、図11に示すように、バックライト23からの直接光をアレイ基板21上の第1及び第2メタル37で遮ることができ、紙面22からの反射光のみをポリシリコン層に入射することができる。

【0040】

センサ12a、12bの内部構成は、図8に示した回路に限定されない。図12はセンサ12a、12bの内部構成の変形例を示す図である。Tnp-e-Aは、図8と同様の回路構成であり、キャパシタC3に蓄積された電荷を、光を受光したフォトダイオードD1を介して接地端子VSS1にリークさせるものである。

【0041】

Tnp-e-Bは、Tnp-e-Aとは逆に、光を受光したフォトダイオードD1からキャパシタC3に電流を流して電荷を蓄積するものである。

【0042】

Tnp-e-Cは、光を受光したフォトダイオードD1からキャパシタC3に電流を流して電荷を蓄積し、光を受光しない場合は、キャパシタC3からバイアス用トランジスタQ7を介してゆっくり電荷をリークさせるものである。

【0043】

Tnp-e-Eは、光の強度に応じた電圧を取り出すものである。

【0044】

このように、本実施形態では、各画素ごとに複数のセンサ12a、12bを設けて画像取込みを行うため、高解像度で画像取込みを行うことができる。また、センサ12a、12bで取り込んだ画像データをバッファ13に格納するため、フォトダイオードD1、D2で受光した光量を正確に検出できる。

【0045】

さらに、アレイ基板21、対向基板24及びバックライト23の順に配置するため、バックライト23からの直接光がフォトダイオードD1、D2に入射されなくなり、紙面22からの反射光の強弱をフォトダイオードD1、D2にて精度よく検出できる。

【0046】

図2では、1画素に2個のセンサ12a、12bを設ける例を説明したが、センサ12a、12bの数は2個に限定されず、3個以上でもよい。センサ12a、12bの数が増えるほど、画像取込み時の解像度を上げることができる。

【0047】

(第2の実施形態)

第2の実施形態は、バッファの代わりに、A/D変換を行う検出回路を設けるものである。

【0048】

図13は表示装置の第2の実施形態の概略構成を示すブロック図である。図13の表示装置は、図8と比較すればわかるように、バッファの代わりにA/D変換を行う検出回路41を備えており、キャパシタC3の蓄積電荷は、トランジスタQ3と検出線を介して検出回路41に供給される。検出回路41は、アレイ基板の額縁部分に設けられる。

【0049】

図13のような構成にすると、画素内の素子数が少なくなる。透過型液晶表示装置のように背面に光源を備え、各画素内の表示素子を制御して各画素の明暗を制御して表示を行う表示装置では、画素開口部の面積の割合(開口率)を大きくでき、光源の輝度を比較的低くできることから、光源で消費される消費電力を削減できる。

【0050】

10

20

30

40

50

また、密着センサとしての動作を考えた場合、光源の光が画素内の素子にそれほど遮られずに、有効に撮像対象に到達反射するため、センサの動作時にも光源の輝度を比較的低くして光源で消費される消費電力を削減できる。

【0051】

また、画素内にバッファを設けない場合は、センサの信号を検出線を介して額縁部に設けられたA/D変換回路に伝達しなければならない。画素内に設けられるセンサ出力保持用のキャパシタC3の容量は、開口率確保の制約などから高々1pF程度であり、検出線の容量Coutは、表示装置の場合、画素電極やその他素子・配線電極などと容量結合するため20pF程度である(4"QVGAの場合)。

【0052】

画素内の1pFの容量に仮に5Vが蓄積された場合、20pFの検出線の容量Coutに導かれた途端に非常に微弱な振幅になってしまう。その大きさは、電荷保存則により容易に推定できるように、もとの信号振幅のC3/(C3+Cout)程度となる。この場合、1[pF]/(1[pF]+20[pF])となりもとの信号振幅の5%未満の微小振幅になると見積もられる。そこで、額縁部のA/D変換回路は、微小な電位差をはっきりとした電位差に増幅できることが必要である。

【0053】

しかしながら、シリコン基板上に形成されるトランジスタ回路の場合と異なり、絶縁基板上に低温ポリシリコンプロセスを用いて形成されるLTPS素子(Low Temperature Polysilicon素子)の場合、同一チップ上でも素子特性のVthばらつきが1V程度になることがある。このため、シリコン基板上のA/D変換回路でよく用いられる差動回路(オペアンプ)をそのまま用いることができず、Vthばらつきの補償手段を有したA/D変換回路が必要となる。オペアンプを普通に用いると、素子のVthばらつきなどにより、あるセンサ出力電位が、ある検出回路でハイレベルに変換され、別の検出回路ではローレベルに変換されるなどして実用にならないためである。

【0054】

以下では、とくにLTPS素子を用いて表示装置のアレイ基板上に一体形成する場合に特に有効なVthばらつき補償手段を有したA/D変換回路を備えた検出回路について述べる。

【0055】

図14は検出回路41の詳細構成を示す回路図である。図14の検出回路41は、各検出線ごとに、トランジスタQ7、Q8と、キャパシタC4及びインバータIV1からなるアンプ42と、インバータIV2と、ラッチ43と、トランジスタQ9と、トランジスタQ10及びレジスタ回路44からなるシフトレジスタ45とを有する。

【0056】

トランジスタQ7のゲートにはいずれも信号/PRCが入力され、トランジスタQ8のゲートにはいずれも信号PRCが入力される。まず最初は、所定期間だけ信号PRCをハイレベルにする。これにより、トランジスタQ8がオンし、アンプ42の入力端は、電圧VPRCに初期化される。電圧VPRCは、センサのハイレベルの出力が検出線に導かれた場合の検出線電圧と、センサのローレベルの出力が検出線に導かれた場合の検出線電圧との間の電圧に設定される。アンプ42内のインバータIV1の入出力端子間にスイッチSW1が接続されており、電圧PRCがハイレベルのときは、このスイッチSW1がオンするため、インバータIV1の入力端(=キャパシタ素子C4の下側の端)にはインバータの動作しきい値が保持される。このとき、アンプ42は増幅動作を行わない。この動作により、Vthのキャンセルが行われる。Vthがばらついても、インバータIV1の入力端にはインバータIV1の動作値が保持される。

【0057】

次に、信号/PRCをハイレベル(信号PRCをローレベル)にすると、検出線の電圧が電圧VPRCより高いか否かがそのままキャパシタ素子C4を介して、インバータIV1の入力端に動作値に対して高いか否かの電圧に置き換わるように入力され、インバータ

10

20

30

40

50

I V 1 の出力端に反転増幅出力が確実に出力される。このようにして、V センバらつきが 1 V 程度あるような場合でも確実に A / D 変換が行われる。

【0058】

その後、所定のタイミングで、ラッチ 43 はラッチ動作を行う。その後、信号 A がハイレベルになると、ラッチ 43 の出力がシフトレジスタ 45 の各レジスタ回路 44 に書き込まれる。その後、信号 A がローレベルになると、トランジスタ Q 10 がオンし、各レジスタ回路 44 は縦続接続され、クロック CLK に同期して、データは 1 段ずつ右側にシフトされ、右端のレジスタ回路 44 から CPU に供給される。

【0059】

なお、場合によっては、ラッチ 43 を省略することも可能である。検出線の出力を直接シフトレジスタ 45 に導いてやればよい。ただし、シフトレジスタ 45 が CPU にデータを出力し終えたちょうど良いタイミングで、検出線の出力をシフトレジスタ 45 に供給する必要がある。シフトレジスタ 45 にデータを格納し終わるまでに検出回路 41 の出力が変化しないようにするためである。

【0060】

これに対し、図 14 のようにラッチ 43 を設けると、シフトレジスタ 45 の動作にかかわらず、A / D 変換の出力をラッチ 43 に保持し続けることができ、迅速に次の検出動作に入ることができる利点がある。

【0061】

図 14 では、アンプ 42 をキャパシタ C 4 とインバータ I V 1 の一個ずつで構成しているが、図 15 に示すように、キャパシタ C 4 とインバータ I V 1 を複数個ずつ縦続接続してもよい。これにより、アンプ 42 の利得制御の精度を向上できる。縦続接続数が多いほど、A / D 変換可能な検出線の最小振幅をより小さくでき、A / D 変換機の感度を高めることができることになる。

【0062】

このように、第 2 の実施形態では、アレイ基板の額縁部分に設けられた検出回路 41 により、キャパシタ C 2 の蓄積電荷を A / D 変換するため、画素内にバッファを設ける必要がなくなり、画素の構造を簡略化でき、その分、センサの解像度向上が図れる。

【0063】

図 13 では、画素アレイ部内にバッファを設けずに、アレイ基板の額縁部分に検出回路 41 を設ける例を説明したが、画素アレイ部に図 8 と同様のバッファを設けてもよい。これにより、二重に A / D 変換を行うことになるが、バッファの出力振幅を小さくすることができることから、消費電力の削減が図れる。

【0064】

すなわち、表示装置の場合、検出線は前述のように、表示画素電極などと容量結合するため、バッファの駆動負荷として大きくなる。検出線を駆動するための消費電力は、検出線の容量を C o u t、検出線が駆動される周波数を f o u t、検出線の振幅を V a としたとき、 $C o u t \times f o u t \times V a \times V a$ で表すことができるため、V a を検出回路が判別できる程度に小さくすることは消費電力低減に有効である。例えば、検出線を 5 V 振幅で駆動する場合に対し、1 V 振幅で駆動する場合には、バッファ部の検出線駆動のための消費電力は 25 分の 1 に削減される。

【0065】

上述した図 13 では、各検出線ごとに検出回路 41 を設ける例を説明したが、複数のセンサで同一の検出回路 41 を共有してもよい。

【0066】

図 16 は複数の検出線で同一の検出回路 41 を共有する場合の検出回路 41 a の回路図である。図 14 の検出回路 41 と比較して、それぞれ異なる検出線に接続されるトランジスタ Q 11、Q 12 を有する検出線選択回路が新たに設けられている。

【0067】

検出線選択回路内のトランジスタ Q 11、Q 12 は、信号 K I R の論理によりいずれか一

10

20

30

40

50

方がオンし、2つの検出線上の信号のいずれか一方をトランジスタQ7に供給する。

【0068】

このように、複数の検出線で同一の検出回路41aを共有することにより、検出回路41aの数を削減でき、額縁部分の占有面積の削減と消費電力の削減が可能になる。

【0069】

なお、3本以上の検出線で同一の検出回路を共有してもよい。同一の検出回路を共有する検出線の数が増えるほど、検出回路の占有面積と消費電力の削減が図れる。

【0070】

上述した実施形態では、撮像対象物の反射光をフォトダイオードなどのアレイ基板上の素子のリーク電流に光電変換する密着センサー体型表示装置の検出回路として説明したが、センサ部が素子の光応答を利用するものでなくても同様に適用可能である。例えば、TF

10

T素子のドレインソース電極間を適当な電位に設定し、指などがゲート電極に接近したか否かをドレインソース間電流に変換するようなセンサの検出回路としても有効である。

【0071】

【発明の効果】

以上詳細に説明したように、本発明によれば、光電変換部から出力された電気信号に応じて電荷蓄積部の蓄積電荷を可変制御するため、センサでの受光量を精度よく検出できる。

【0072】

また、本発明によれば、センサでの受光量をA/D変換するA/D変換部を絶縁基板の額縁部分に設けるため、画素表示領域の構造を簡易化しつつ、センサでの受光量を精度よく検出できる。

20

【図面の簡単な説明】

【図1】本発明に係る表示装置の一実施形態の概略構成図。

【図2】画素アレイ部の一部を詳細に示したブロック図。

【図3】図2の一部を詳細に示した回路図。

【図4】バッファの内部構成を示す回路図。

【図5】表示装置の構造を示す簡易的な断面図。

【図6】画像取込み時の動作タイミング図。

【図7】nチャネルTFTの製造工程図。

30

【図8】pチャネルTFTの製造工程図。

【図9】PIN構造のフォトダイオードの製造工程図。

【図10】アレイ基板と対向基板の位置関係を変えた場合の断面図。

【図11】本実施形態の断面図。

【図12】センサの内部構成の変形例を示す図。

【図13】表示装置の第2の実施形態の概略構成を示すブロック図。

【図14】検出回路41の詳細構成を示す回路図。

【図15】アンプの変形例を示す回路図。

【図16】複数の検出線で同一の検出回路を共有する場合の検出回路の回路図。

【符号の説明】

40

1 画素アレイ部

2 信号線駆動回路

3 走査線駆動回路

4 検出回路41&出力回路

5 センサ制御回路

11 画素TFT

12a, 12b センサ

13 バッファ

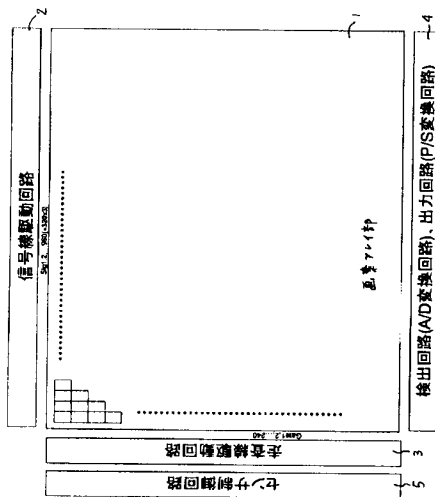
21 アレイ基板

22 紙面

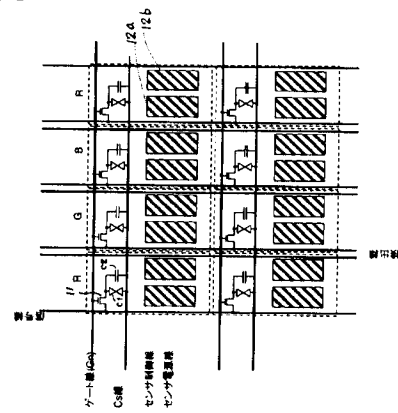
50

- 2 3 バックライト
- 2 4 対向基板
- 4 1 検出回路
- 4 2 アンプ
- 4 3 ラッチ
- 4 5 シフトレジスタ

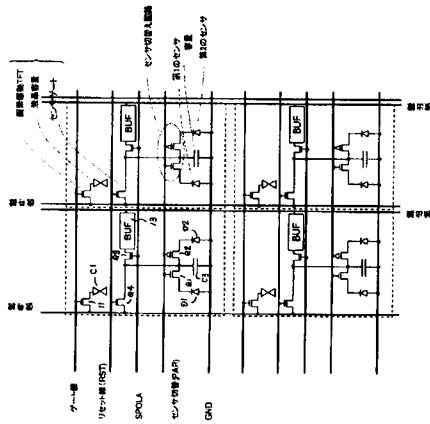
【図 1】



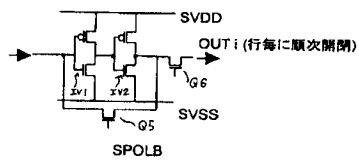
【図 2】



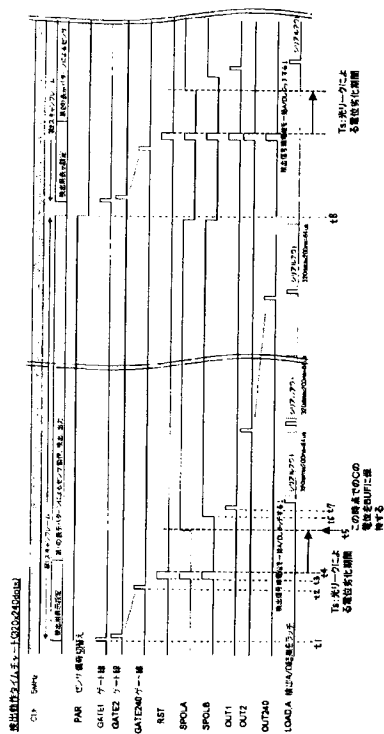
【図 3】



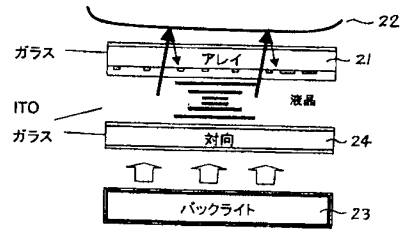
【図 4】



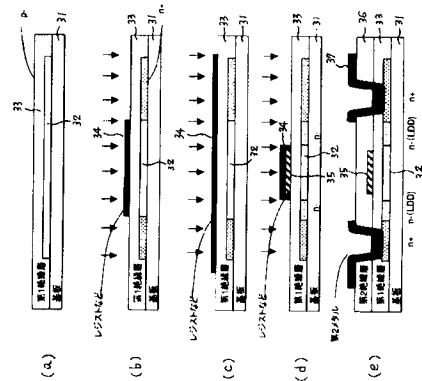
【図 6】



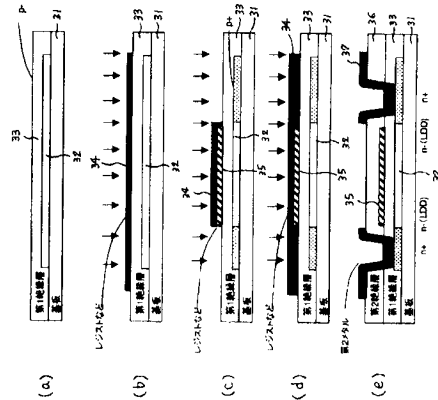
【図 5】



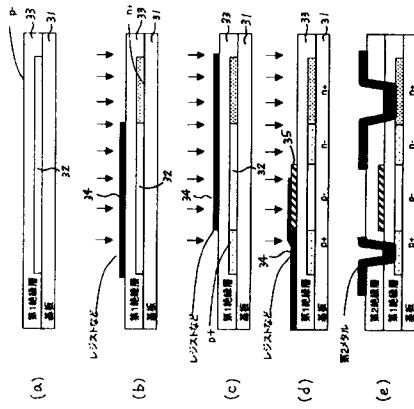
【図 7】



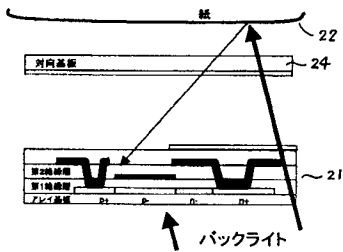
【図 8】



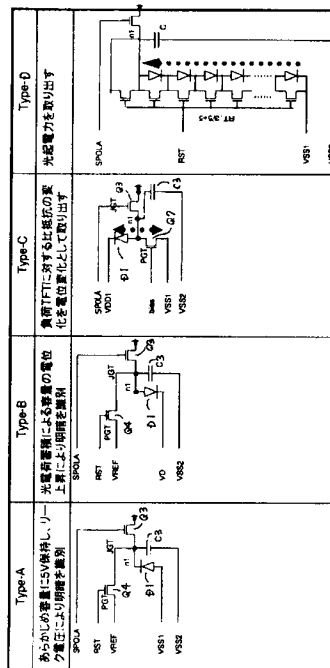
【図 9】



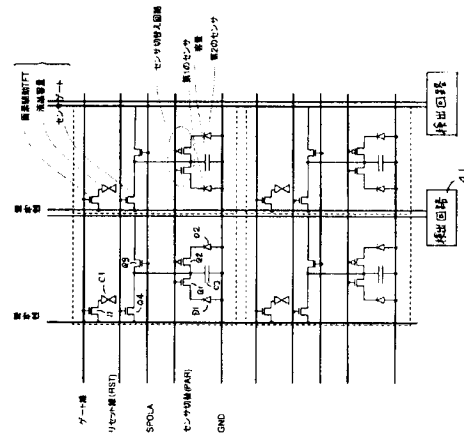
【図 10】



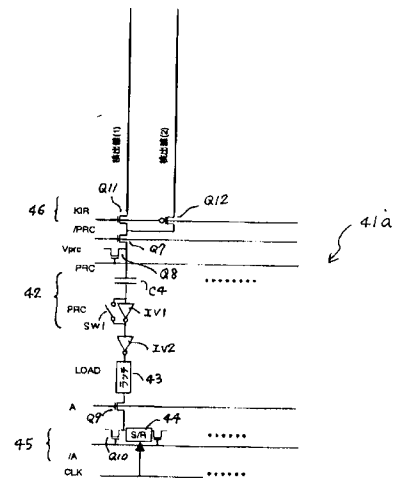
【図 12】



【図 13】



【 図 1 6 】



フロントページの続き

(51)Int. Cl. ⁷	F I	テーマコード (参考)
H 0 1 L 27/146	G 0 9 G 3/20 6 9 1 E	5 C 0 5 8
H 0 4 N 5/335	G 0 9 G 3/36	5 C 0 8 0
H 0 4 N 5/66	H 0 4 N 5/335 ㄥ	5 C 0 9 4
	H 0 4 N 5/66 1 0 2 ㄥ	
	H 0 1 L 27/14 C	

(72)発明者 林 宏 宜

東京都港区港南4丁目1番8号 東芝松下ディスプレイテクノロジー株式会社内

(72)発明者 中 村 卓

東京都港区港南4丁目1番8号 東芝松下ディスプレイテクノロジー株式会社内

Fターム(参考) 2H088 EA02 EA61 HA08 HA09 HA28 MA20
 2H092 GA12 JA25 LA03 LA04 LA14 NA25 PA06 PA13 RA10
 4M118 AA10 AB10 BA05 CA02 CA05 CA24 CB06 DB09 DD12 EA01
 FB09 FB13 FB14 FB20 GA02 HA23
 5C006 AF81 BB16 BC02 BC08 BF39 EB05 EC05
 5C024 CY42 CY47 CY50 GX14 HX17 HX23 HX35 HX40
 5C058 AA06 BA35
 5C080 AA10 BB05 DD21 FF11 GG07 JJ02 JJ03 JJ04 JJ06
 5C094 AA05 BA03 BA43 CA19 DA09 DB01 DB05 FB14